

Docket No.: T4025.0033/P033  
(PATENT)

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

In re Patent Application of:  
Mitsugi Fukushima

Application No.: Not Yet Assigned

Confirmation No.:

Filed: Concurrently Herewith

Art Unit: N/A

For: PULSE WIDTH MODULATION  
AMPLIFIER

Examiner: Not Yet Assigned

**CLAIM FOR PRIORITY AND SUBMISSION OF DOCUMENTS**

MS Patent Application  
Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

Dear Sir:

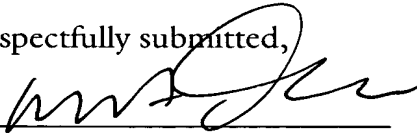
Applicant hereby claims priority under 35 U.S.C. 119 based on the following  
prior foreign application filed in the following foreign country on the date indicated:

<u>Country</u>	<u>Application No.</u>	<u>Date</u>
Japan	2003-038735	February 17, 2003

In support of this claim, a certified copy of the said original foreign application is filed herewith.

Dated: September 25, 2003

Respectfully submitted,

By 

Mark J. Thronson

Registration No.: 33,082

DICKSTEIN SHAPIRO MORIN &

OSHINSKY LLP

2101 L Street NW

Washington, DC 20037-1526

(202) 785-9700

Attorney for Applicant

日本国特許庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日  
Date of Application: 2003年 2月17日

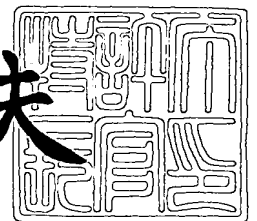
出願番号  
Application Number: 特願2003-038735  
[ST. 10/C]: [JP2003-038735]

出願人  
Applicant(s): 株式会社デノン

2003年 7月18日

特許庁長官  
Commissioner,  
Japan Patent Office

今井康夫



出証番号 出証特2003-3057859

【書類名】 特許願

【整理番号】 DN55

【提出日】 平成15年 2月17日

【あて先】 特許庁長官殿

【国際特許分類】 H03F 3/217

【発明者】

【住所又は居所】 神奈川県川崎市川崎区港町 5 番 1 号 株式会社デノン  
川崎オフィス内

【氏名】 福島 貢

【特許出願人】

【識別番号】 301066006

【氏名又は名称】 株式会社デノン

【代理人】

【識別番号】 100078134

【弁理士】

【氏名又は名称】 武 顕次郎

【電話番号】 03-3591-8550

【選任した代理人】

【識別番号】 100093492

【弁理士】

【氏名又は名称】 鈴木 市郎

【選任した代理人】

【識別番号】 100111914

【弁理士】

【氏名又は名称】 藤原 英夫

【手数料の表示】

【予納台帳番号】 006770

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0115989

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 パルス幅変調増幅装置

【特許請求の範囲】

【請求項 1】 直流電源に第 1 のスイッチング素子及び第 2 のスイッチング素子を直列接続してなる直列回路を複数組備え、

各組の直列回路における第 1 のスイッチング素子と第 2 のスイッチング素子の各接続点に共通に一つの負荷の一端を接続し、前記各組のスイッチング素子をスイッチングして前記一つの負荷にパルス幅変調された増幅出力を供給するパルス幅変調増幅装置であって、

前記各組の直列回路のそれぞれ同一位置にあるスイッチング素子同士をそれぞれ重複して導通しないように駆動する駆動回路を備えたことを特徴とするパルス幅変調増幅装置。

【請求項 2】 直流電源に第 1 のスイッチング素子と第 2 のスイッチング素子からなる直列回路及び第 3 のスイッチング素子と第 4 のスイッチング素子からなる直列回路を接続してなるブリッジ回路を複数組備え、

各組のブリッジ回路における第 1 のスイッチング素子と第 2 のスイッチング素子の各接続点及び第 3 のスイッチング素子と第 4 のスイッチング素子の各接続点間に共通に一つの負荷を接続し、前記各組のスイッチング素子をスイッチングして前記一つの負荷にパルス幅変調された増幅出力を供給するパルス幅変調増幅装置であって、

前記各組のブリッジ回路のそれぞれ同一位置にあるスイッチング素子同士をそれぞれ重複して導通しないように駆動する駆動回路を備えたことを特徴とするパルス幅変調増幅装置。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明はパルス幅変調増幅装置にかかり、特に出力歪みを抑制することのできるパルス幅変調増幅装置に関する。

【 0 0 0 2 】

**【従来の技術】**

パルス幅変調増幅装置 (PWM(Pulse Width Modulation)増幅装置) 等のD級増幅装置は、A級増幅装置あるいはB級増幅装置と比べて出力段における損失が少ないため、近年は省電力化の観点から注目されている。ところで、パルス幅変調増幅装置の出力は、その出力段を構成するスイッチング素子のオン・オフにより定まる出力パルス幅及び電源電圧により定まるパルス振幅で表すことができる。

**【0003】**

図5は、従来のパルス幅変調増幅装置を説明する図である。図において、 $V_c$ は電源である。1, 2, 3, 4はそれぞれ第1のスイッチング素子、第2のスイッチング素子、第3のスイッチング素子、第4のスイッチング素子であり、これらのスイッチング素子1, 2, 3, 4によりブリッジ回路を構成する。5, 6はノイズ除去用のローパスフィルタ、7はブリッジ回路の負荷としてのスピーカである。

**【0004】**

図6は、従来のパルス幅変調増幅装置の各部の動作波形を説明する図である。図において、 $D$ はスイッチング素子1及び4に供給する駆動信号、 $-D$  ( $D$ の反転信号)はスイッチング素子2及び3に供給する駆動信号、 $v_{sp}$ はスピーカに印加される電圧、 $i_{sp}$ はスピーカ電流である。

**【0005】**

図7は、従来のパルス幅変調増幅装置の構成を説明するブロック図である。図において、21は入力部であり、例えばCD(Compact Disc)プレーヤ等のオーディオデータの再生装置からオーディオデータを入力する。22はデジタルフィルタであり、前記オーディオデータに対してトーンコントロール、低域濾波等の演算処理を施す。23はスイッチング素子1, 2, 3, 4を駆動する駆動信号 ( $D$ 、 $-D$ ) を生成するPWM生成部である。PWM生成部23は、例えば前記オーディオデータと三角波を比較し、その比較結果をもとに駆動信号 ( $D$ 、 $-D$ ) を生成する。24は出力段であり、例えば図5に示すようにスイッチング素子をブリッジ接続して構成する。

**【0006】**

PWM生成部23は、スイッチング素子1及び4に駆動信号Dを供給して、スイッチング素子1及び4をオンに駆動する。このときスピーカ7には正方向電圧が印加される。同様にスイッチング素子2及び3に駆動信号-Dを供給して、スイッチング素子2及び3をオンに駆動するとスピーカ7に負方向電圧が印加される。従って、図6に示す $v_{sp}$ の波形の左方に示すようにスピーカ7に正方向電圧が印加される期間がスピーカ7に負方向電圧が印加される期間よりも長い場合はスピーカは正方向駆動され、図6に示す $v_{sp}$ の波形の右方に示すようにスピーカ7に正方向電圧が印加される期間がスピーカ7に負方向電圧が印加される期間よりも短い場合はスピーカは負方向駆動されることになる。

**【0007】**

以上の動作から分かるように歪みのない増幅器出力を得るためには、パルス幅変調増幅装置の出力段には、正確なパルス幅の駆動信号(D, -D)と電圧変動の少ない電源電圧を供給することが必要となる。

**【0008】**

電源電圧変動による歪みを抑制する技術としては、例えば、特許文献1に、前記スイッチング素子をトランジスタで構成し、このトランジスタに定電圧機能を付与することにより電源電圧変動に伴う歪みを除去することが示されている。また、特許文献2、3には、電源電圧変動を検出し、検出した値に応じて駆動信号のパルス幅を補正することにより電源電圧変動に伴う歪みを除去することが示されている。

**【0009】****【特許文献1】**

特開昭52-96854号公報

**【0010】****【特許文献2】**

特開昭61-39708号公報

**【0011】****【特許文献3】**



特開平 3 - 1 5 9 4 0 9 号公報

【 0 0 1 2 】

【発明が解決しようとする課題】

しかしながら、特許文献 1 に開示されているように前記スイッチング素子をトランジスタで構成し、このトランジスタに定電圧機能を付与することにより電源電圧変動に伴う歪みを除去する方法は、大出力に対応しようとする出力段のトランジスタによる損失が増大し効率が著しく低下する。また、特許文献 2, 3 に開示されているように電源電圧変動を検出し、検出した値に応じて駆動信号のパルス幅を補正する方法は、電源電圧変動を検出してからパルス幅補正を行うまでに遅延が発生し、この遅延により出力に歪みが生じる。

【 0 0 1 3 】

本発明は、これらの問題点に鑑みてなされたもので、電源電圧変動に伴う出力歪みを抑制することのできるパルス幅変調増幅装置を提供する。

【 0 0 1 4 】

【課題を解決するための手段】

本発明は、上記の課題を解決するために次のような手段を採用した。

【 0 0 1 5 】

直流電源に第 1 のスイッチング素子及び第 2 のスイッチング素子を直列接続してなる直列回路を複数組備え、各組の直列回路における第 1 のスイッチング素子と第 2 のスイッチング素子の各接続点に共通に一つの負荷の一端を接続し、前記各組のスイッチング素子をスイッチングして前記一つの負荷にパルス幅変調された増幅出力を供給するパルス幅変調増幅装置であって、前記各組の直列回路のそれぞれ同一位置にあるスイッチング素子同士をそれぞれ重複して導通しないように駆動する駆動回路を備えた。

【 0 0 1 6 】

【発明の実施の形態】

以下、本発明の実施形態を添付図面を参照しながら説明する。図 1 は、本発明の実施形態にかかるパルス幅変調増幅装置を説明する図である。図において、Vcc1 は第 1 の電源である。1, 2, 3, 4 はそれぞれ、第 1 のブリッジ回路に

おける、例えばFET(Field Effect Transistor)で構成した第1のスイッチング素子、第2のスイッチング素子、第3のスイッチング素子、第4のスイッチング素子であり、これらのスイッチング素子1, 2, 3, 4により第1のブリッジ回路を構成する。5, 6はノイズ除去用のローパスフィルタ、7はブリッジ回路の負荷としてのスピーカである。

#### 【0017】

また、 $V_{cc2}$ は第2の電源である。11, 12, 13, 14はそれぞれ、第2のブリッジ回路における、例えばFETで構成した第1のスイッチング素子、第2のスイッチング素子、第3のスイッチング素子、第4のスイッチング素子であり、これらのスイッチング素子11, 12, 13, 14により第2のブリッジ回路を構成する。すなわち、スイッチング素子1, 2, 3, 4とスイッチング素子11, 12, 13, 14はそれぞれ相互にブリッジ回路における同一位置にあることになる。従って、各組のブリッジ回路における第1のスイッチング素子と第2のスイッチング素子の各接続点及び第3のスイッチング素子と第4のスイッチング素子の各接続点間には、共通に前記一つの負荷回路（スピーカ7及びノイズ除去用のローパスフィルタ5, 6）を接続することができる。

#### 【0018】

図2は、パルス幅変調増幅装置の各部の動作波形を説明する図である。図において、cfは制御の基準となるキャリア信号、Aは第1のブリッジ回路における第1のスイッチング素子1及び第4のスイッチング素子4に供給する駆動信号、A'は第1のブリッジ回路における第2のスイッチング素子2及び第3のスイッチング素子3に供給する駆動信号である。なお、駆動信号Aの駆動期間 $t_a$ 及び駆動信号A'の駆動期間 $t_{a'}$ の和はキャリア信号cfの周期 $T_c$ に略等しく設定しておく。

#### 【0019】

また、Bは第2のブリッジ回路における第1のスイッチング素子11及び第4のスイッチング素子14に供給する駆動信号、B'は第2のブリッジ回路における第2のスイッチング素子12及び第3のスイッチング素子13に供給する駆動信号である。なお、駆動信号Bの駆動期間 $t_b$ 及び駆動信号B'の駆動期間 $t_{b'}$

’ の和はキャリア信号  $c f$  の周期  $T c$  に略等しく設定しておく。また、 $v s p$  はスピーカに印加される電圧、 $i s p$  はスピーカ電流である。

#### 【0020】

図3は、パルス幅変調増幅装置の構成を説明するブロック図である。図において、25は後述する駆動信号生成部であり、前記駆動信号 ( $D$ 、 $-D$ ) をもとに、第1のブリッジ回路における第1のスイッチング素子1及び第4のスイッチング素子4に供給する駆動信号  $A$ 、第1のブリッジ回路における第2のスイッチング素子2及び第3のスイッチング素子3に供給する駆動信号  $A'$ 、第2のブリッジ回路における第1のスイッチング素子11及び第4のスイッチング素子14に供給する駆動信号  $B$ 、及び第2のブリッジ回路における第2のスイッチング素子12及び第3のスイッチング素子13に供給する駆動信号  $B'$  を生成する。26は出力段であり、図1に示すように、第1の電源  $V c c 1$  に接続した第1のブリッジ回路及び第2の電源  $V c c 2$  に接続した第2のブリッジ回路の並列回路から構成される。なお、図3において図7に示される部分と同一部分については同一符号を付してその説明を省略する。

#### 【0021】

図4は、駆動信号生成部の詳細を説明する図である。図において、31は前記キャリア信号  $c f$  を生成するキャリア信号生成部、32はキャリア信号  $f c$  を例えば1/2分周する分周器、33はノット回路、34、35、36、37はアンド回路である。

#### 【0022】

図3及び図4に示すように、入力部21に入力したオーディオデータに対し、デジタルフィルタ22においてトーンコントロール、低域濾波等の演算処理を施した後、PWM生成部23において前記オーディオデータと三角波を比較しその比較結果をもとに駆動信号 ( $D$ 、 $-D$ ) を生成する。

#### 【0023】

駆動信号生成部25では、図4に示すように前記駆動信号 ( $D$ 、 $-D$ ) と分周器出力の論理積をとることにより、前記駆動信号  $A$ 、 $A'$ 、 $B$ 、 $B'$  を得ることができる。このようにして得た駆動信号は、第1のブリッジ回路における第1の

スイッチング素子 1 及び第 4 のスイッチング素子 4、第 1 のブリッジ回路における第 2 のスイッチング素子 2 及び第 3 のスイッチング素子 3、第 2 のブリッジ回路における第 1 のスイッチング素子 1 1 及び第 4 のスイッチング素子 1 4、及び第 2 のブリッジ回路における第 2 のスイッチング素子 1 2 及び第 3 のスイッチング素子 1 3 にそれぞれ供給する。

#### 【0024】

スイッチング素子 1, 4 及び 2, 3 には、それぞれ図 2 に示す駆動信号 A 及び A' が入力され、これらの駆動信号が供給されたとき（駆動信号 A あるいは A' がアクティブになったとき）、それぞれ第 1 の電源 Vcc1 がスピーカ 7 に対して正方向あるいは負方向に接続される。同様に、スイッチング素子 1 1, 1 4 及び 1 2, 1 3 には、それぞれ図 2 に示す駆動信号 B 及び B' が入力され、これらの駆動信号が供給されたとき（駆動信号 B あるいは B' がアクティブになったとき）、それぞれ第 2 の電源 Vcc2 がスピーカ 7 に対して正方向あるいは負方向に接続される。

#### 【0025】

駆動信号 A、A' 及び駆動信号 B、B' は、キャリア信号 cf に対して順番にアクティブになる。このため図 1 に示す例のように、出力段として 2 組の電源（Vcc1, Vcc2）と、2 組のブリッジ回路を用いた場合は、各電源から電力を取り出す期間は  $1/2$  になる。

#### 【0026】

なお、2 組のブリッジ回路により作り出される出力電圧は、スピーカ 7 の両端で合成されるので、スピーカ 7 の印加電圧は従来のパルス幅変調増幅装置と同様であり、図 2 に示す vsp の波形の左側に示すようにスピーカ 7 に正方向電圧が印加される期間がスピーカ 7 に負方向電圧が印加される期間よりも長い場合はスピーカ 7 は正方向駆動され、図 2 に示す vsp の波形の右側に示すようにスピーカ 7 に正方向電圧が印加される期間がスピーカ 7 に負方向電圧が印加される期間よりも短い場合はスピーカ 7 は負方向駆動されることになる。

#### 【0027】

すなわち、2 組のブリッジ回路のそれぞれ同一位置にある各スイッチング素子

は重複することなく交互に動作（すなわち一方の組のブリッジ回路が動作中は他方の組のブリッジ回路は動作しない）する。従って第1の電源  $V_{cc1}$  及び第2の電源  $V_{cc2}$  は交互に電源電流を供給することになる。このため、電源電流の供給に伴って一方の電源の出力電圧が低下した場合においても、この電源は他方の電源が電源電流を供給している間に出力電圧を回復することができる。従って、電源に大電流の負荷電流が流れた後においても電圧降下を回復させるための時間を確保することができるため、電源電圧の変動を抑制することができる。またこれにより出力の歪を抑制することができる。

#### 【0028】

なお、以上の説明では、2組の電源と2組のブリッジ回路を用いてパルス幅変調増幅装置を構成する例を示したが、3組以上の電源とブリッジ回路を用いて構成することができる。またブリッジ回路としてフルブリッジ回路を用い構成する例を示したが、第1のスイッチング素子と第2のスイッチング素子の直列回路を備えるハーフブリッジ回路を用いて構成することができる。

#### 【0029】

##### 【発明の効果】

以上説明したように本発明によれば、電源電圧変動に伴う出力歪みを抑制することのできるパルス幅変調増幅装置を提供することができる。

##### 【図面の簡単な説明】

#### 【図1】

本発明の実施形態にかかるパルス幅変調増幅装置を説明する図である。

#### 【図2】

パルス幅変調増幅装置の各部の動作波形を説明する図である。

#### 【図3】

パルス幅変調増幅装置の構成を説明するブロック図である。

#### 【図4】

駆動信号生成部の詳細を説明する図である。

#### 【図5】

従来のパルス幅変調増幅装置を説明する図である。

**【図 6】**

従来のパルス幅変調増幅装置の各部の動作波形を説明する図である。

**【図 7】**

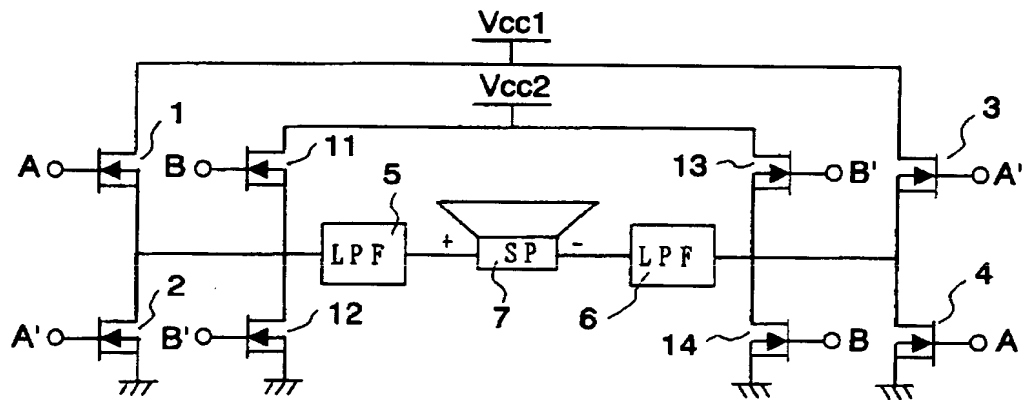
従来のパルス幅変調増幅装置の構成を説明するブロック図である。

**【符号の説明】**

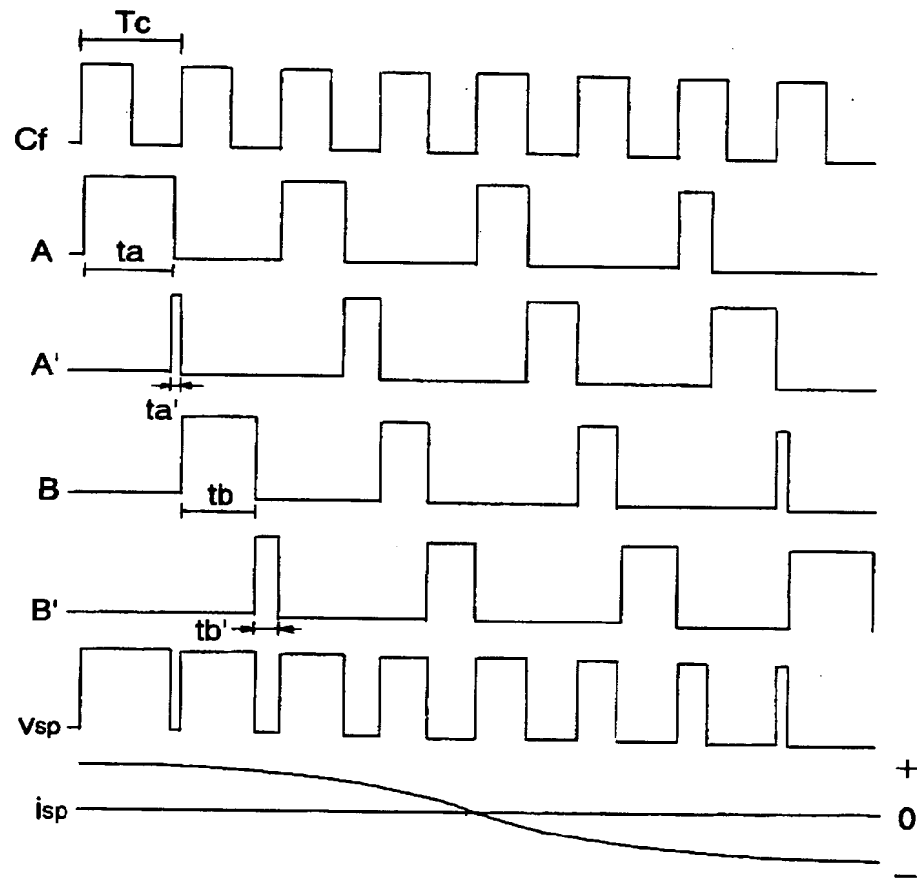
- 1, 2, 3, 4, 11, 12, 13, 14 スイッチング素子
- 5, 6 ローパスフィルタ
- 7 スピーカ
- 21 入力部
- 22 デジタルフィルタ
- 23 PWM生成部
- 24, 26 出力段
- 25 駆動信号生成部
- 31 キャリア信号生成部
- 32 分周器
- 33 ノット回路
- 34, 35, 36, 37 アンド回路

【書類名】 図面

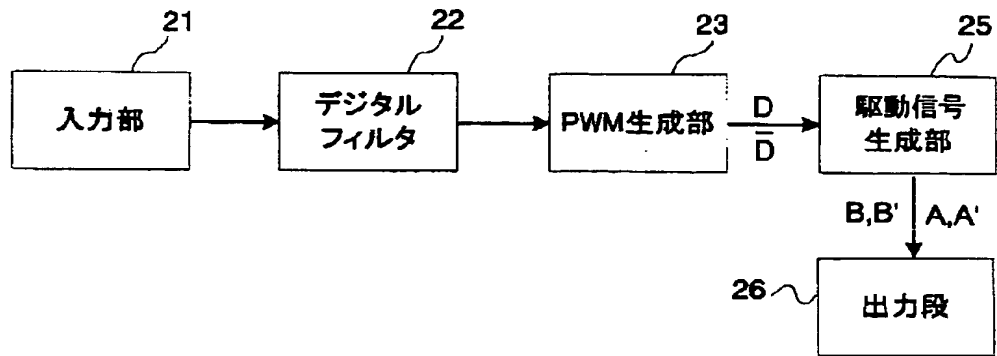
【図 1】



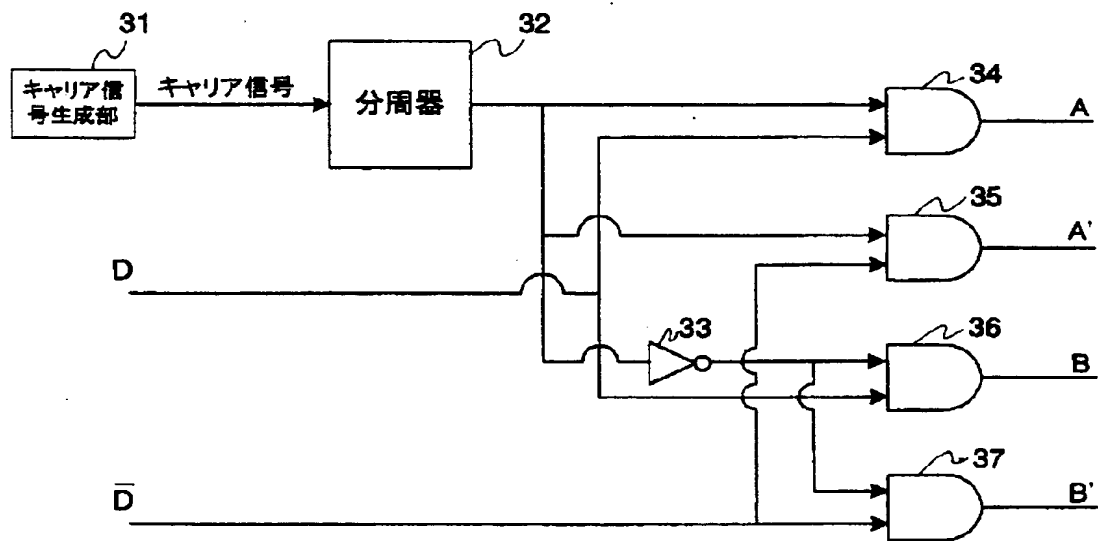
【図 2】



【図3】

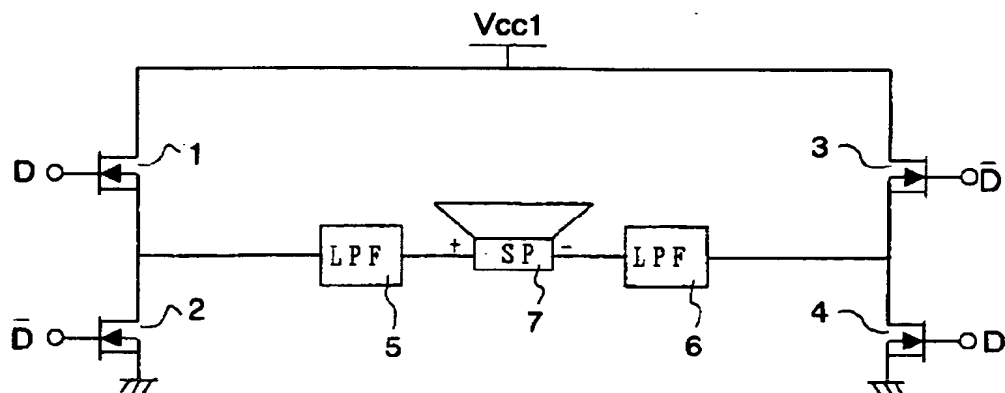


【図4】

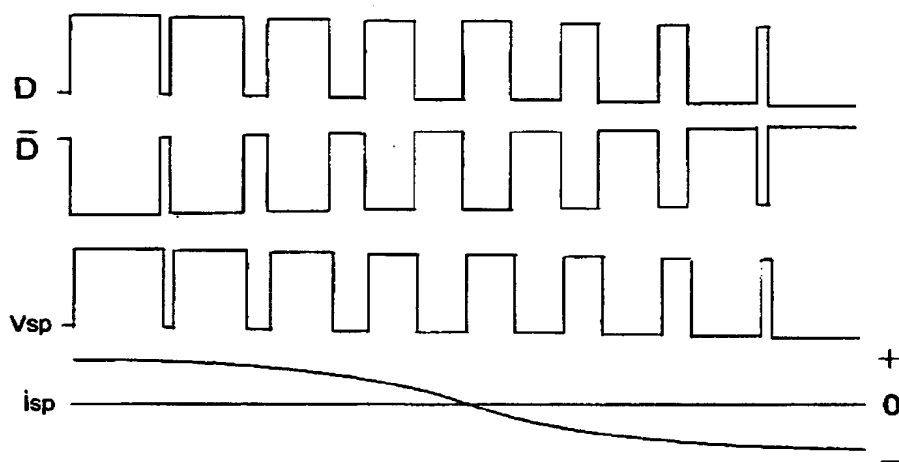




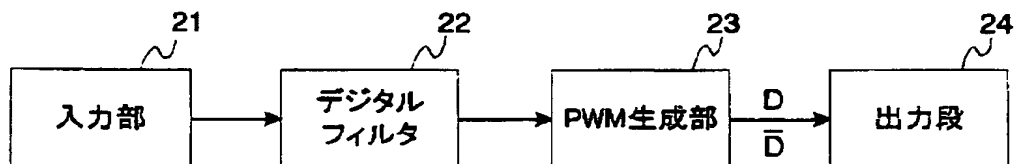
【図 5】



【図 6】



【図 7】



【書類名】 要約書

【要約】

【課題】 電源電圧変動に伴う出力歪みを抑制することのできるパルス幅変調増幅装置を提供する。

【解決手段】 直流電源に第 1 のスイッチング素子 1, 1 1 及び第 2 のスイッチング素子 2, 1 2 を直列接続してなる直列回路を複数組備え、各組の直列回路における第 1 のスイッチング素子 1, 1 1 と第 2 のスイッチング素子 2, 1 2 の各接続点に共通に一つの負荷の一端を接続し、前記各組のスイッチング素子をスイッチングして前記一つの負荷にパルス幅変調された増幅出力を供給するパルス幅変調増幅装置であって、前記各組の直列回路のそれぞれ同一位置にあるスイッチング素子をそれぞれ重複して導通しないように駆動する駆動回路を備えた。

【選択図】 図 1

特願 2 0 0 3 - 0 3 8 7 3 5

出 願 人 履 歴 情 報

識別番号

[ 3 0 1 0 6 6 0 0 6 ]

1. 変更年月日

2 0 0 1 年 1 0 月 9 日

[変更理由]

新規登録

住 所

東京都文京区湯島三丁目 1 6 番 1 1 号

氏 名

株式会社デノン